

(1) Japanese Patent Application Laid-Open No. 2002-9561 (2002)  
“Semiconductor Integrated Circuit Device”

The following is an extract relevant to relevant to the present invention:

5

【Claim 1】 A semiconductor integrated circuit device comprising:

a differential operational amplifier holding an inverted input and a non-inverted input;

level keeping means connected to a terminal in a substrate of a transistor  
10 which receives the inverted input; and

means for selectively supplying an output of the differential operational amplifier to the level keeping means.

【49th para.】 According to this invention, an offset voltage is canceled by  
15 adjusting a potential of a substrate of a transistor which receives an inverted input provided from an operational amplifier. Hence, it is possible to cancel an offset voltage without a need for an additional device for dealing with an inverted input and a non-inverted input.

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号  
特開2002-9561  
(P 2002-9561 A)  
(43)公開日 平成14年1月11日(2002.1.11)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
H03F 3/34		H03F 3/34	B 5J066
3/45		3/45	A 5J091

審査請求 有 請求項の数 4 O L (全7頁)

(21)出願番号 特願2000-192905(P 2000-192905)

(22)出願日 平成12年6月27日(2000.6.27)

(71)出願人 000005821

松下電器産業株式会社  
大阪府門真市大字門真1006番地

(72)発明者 森 宏一

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74)代理人 100105647

弁理士 小栗 昌平 (外4名)

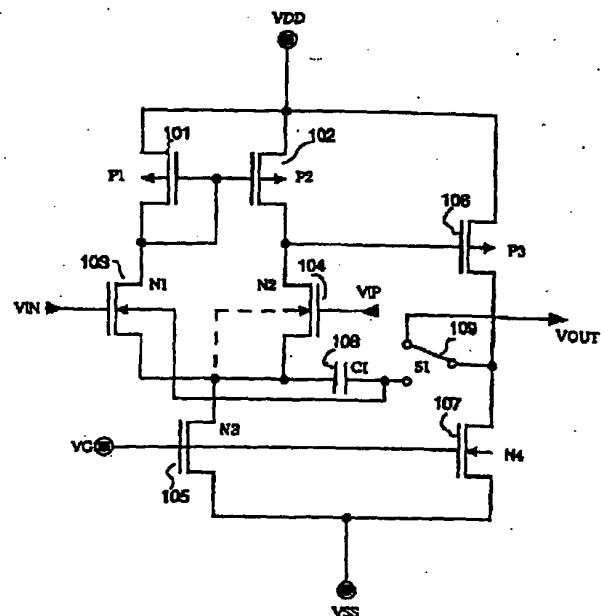
最終頁に続く

(54)【発明の名称】半導体集積回路装置

(57)【要約】

【課題】 本来のオペアンプと同様に反転入力、非反転入力を使用することができ、かつオフセット電圧を任意に調整できるようにすること。

【解決手段】 反転入力VIN及び非反転入力VIPを有する差動構成のオペアンプと、前記反転入力を受けるトランジスタN1の基板端子に接続される容量C1と、前記オペアンプの出力VOUTを選択的に容量C1に供給するスイッチS1と、を具備する。



## 【特許請求の範囲】

【請求項1】 反転入力及び非反転入力を有する差動成のオペアンプと、  
前記反転入力を受けるトランジスタの基板端子に接続されるレベル保持手段と、  
前記オペアンプの出力を選択的に前記レベル保持手段に供給する手段と、を具備することを特徴とする半導体集積回路装置。

【請求項2】 前記反転入力を受けるトランジスタのサイズが、前記非反転入力を受けるトランジスタのサイズより大きいことを特徴とする請求項1に記載の半導体集積回路装置。

【請求項3】 前記反転入力と前記非反転入力とを短絡するスイッチを含むことを特徴とする請求項1又は2に記載の半導体集積回路装置。

【請求項4】 前記オペアンプの出力を基準電位に接続するスイッチと、前記オペアンプの出力を基準電位として使用する他の半導体集積回路の出力または基準電位を選択的に前記非反転入力に供給するスイッチと、を含み、前記反転入力と前記オペアンプの出力とを短絡してボルテージフォロア構成とする、ことを特徴とする請求項1又は2に記載の半導体集積回路装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、オペアンプ（演算増幅器）のオフセット電圧の調整を可能にする半導体集積回路装置に関する。

## 【0002】

【従来の技術】従来、オペアンプのオフセット電圧を調整する方法としては、特開平11-330874号公報に記載されているものがある。

【0003】図5は従来のオペアンプのオフセット電圧調整回路の構成である。図5において、501、502は、それぞれカレントミラーを構成するPチャネルCMOSトランジスタP1、P2であり、503、504、505は、差動増幅回路を構成するNチャネルCMOSトランジスタN1、N2、N3であり、506は出力駆動部を構成するPチャネルCMOSトランジスタP3であり、507は同じく出力駆動部を構成するNチャネルCMOSトランジスタN4である。以上のトランジスタにより、反転入力VINをトランジスタN1のゲートに、非反転入力VIPをトランジスタN2のゲートにそれぞれ入力し、出力駆動部から出力VOUTを得る周知の差動増幅回路が構成される。

【0004】さらに、508はトランジスタ503のゲートに接続される容量C1、509はVIPの入力として外部入力INPUTまたは基準電位を選択するスイッチS1、510はオペアンプの出力を容量508、あるいは外部出力VOUTに接続するスイッチS2である。

【0005】理想的にはN1、N2は同一特性のトラン

ジスタで構成され、P1、P2も同一特性のトランジスタで構成される。その結果、P1-N1の系とP2-N2の系は同一の特性を持つことになり、反転入力VINと非反転入力VIPの電位差によりP1-N1の系とP2-N2の系の差動増幅回路が動き、非反転系の回路の出力電圧が出力駆動部で増幅されてオペアンプの出力となる。

【0006】しかし、現実には製造工程のばらつきによりP1-N1の系とP2-N2の系の特性が異なるために、VINとVIPが等しくても出力駆動部に電圧を発生してしまう。これがオフセット電圧である。

【0007】そこで、従来方式では、VIPの入力として外部入力INPUTまたは基準電位を選択するスイッチS1と、出力駆動部の出力の接続先として外部出力VOUTまたはVINを選択するスイッチS2を設けている。また、VINにはオフセット電圧を保持する容量C1を設ける。

【0008】従来方式の動作を説明する。先ずS1は基準電位を選択し、S2はVINを選択することにより、VIPに基準電位を与え、VINに出力駆動部の出力をフィードバックする。

【0009】ここで、出力駆動部の出力をVINにフィードバックしたことで、利得が1のボルテージフォロアが構成される。ボルテージフォロアは差動増幅回路の特性を利用したものであり、ここでは、VIPとVINが等しい電位に達した状態で安定する。

【0010】すなわち、VIPと比較してVINの電位が低い場合には、出力駆動部の出力電圧が高くなり、これがVINにフィードバックされてVINの電位を高くするように作用する。逆に、VINの電位が高い場合には、出力駆動部の出力電圧は低くなり、VINの電位を低くするように作用する。結果として、オフセット電圧の発生が無ければ、VINとVIPの電位が等しい状態で安定する。

【0011】ここでオフセット電圧が発生していると、これがVIPに付加されて出力に現れるため、VINはVIPすなわち基準電位で安定せずオフセット電圧分を加えた値で安定する。すなわち、 $VIN = VIP + \text{オフセット電圧}$ が実際の安定条件となる。この電圧＝基準電位＋オフセット電圧をC1で保持する。

【0012】次に、S1を切り替えて本来の外部入力INPUTをVIPに与え、S2を切り替えて出力駆動部の出力を本来の外部出力VOUTに出力する。

【0013】そこで、VINに基準電位の代わりC1に保持したオフセット電圧を与えると、 $VIN = \text{基準電位} + \text{オフセット電圧}$ となる。これを前記の安定条件 $VIN = VIP + \text{オフセット電圧}$ と比較すると、安定条件は $VIP = \text{基準電位}$ となり、オフセット電圧の発生が無い場合の安定条件と等しくなる。この構成によってオフセット電圧をキャンセルすることができる。

## 【0014】

【発明が解決しようとする課題】しかしながら、従来の装置においては、反転入力にC1に保持したオフセット電圧を与える構成のため、反転入力を使用することができず、オペアンプの使用法を限定してしまうという問題がある。また、オフセット量を任意の値に設定したい場合には使用できないという問題もある。

【0015】本発明はかかる点に鑑みてなされたものであり、オペアンプ本来の使用法により反転入力及び非反転入力を使用でき、かつ、オフセット電圧を任意で調整できる半導体集積回路装置を提供することを目的とする。

## 【0016】

【課題を解決するための手段】本発明の請求項1に係わる半導体集積回路装置は、反転入力(VIN)及び非反転入力(VIP)を有する差動構成のオペアンプと、前記反転入力を受けるトランジスタ(N1)の基板端子に接続されるレベル保持手段(C1)と、前記オペアンプの出力(VOU)を選択的に前記レベル保持手段に供給する手段(S1)と、を具備する。

【0017】請求項1に記載の半導体集積回路装置によれば、反転入力を受けるトランジスタの基板電位を調整することで、オペアンプのP1-N1の系とP2-N2の系の特性を合わせる調整が可能になることにより、本来のオペアンプと同様に反転入力端子及び非反転入力端子を使用でき、かつ、オフセット電圧を任意の値に調整することができる。

【0018】本発明の請求項2に係わる半導体集積回路装置は、請求項1記載の半導体集積回路装置において、前記反転入力を受けるトランジスタ(N1)のサイズが、前記非反転入力を受けるトランジスタ(N2)のサイズより大きいことを特徴とする。

【0019】請求項2に記載の半導体集積回路装置によれば、反転入力を受けるトランジスタの電流能力が非反転入力を受けるトランジスタの電流能力より大きくなり、オペアンプのP1-N1の系の電流能力を小さくする方向の調整が常に可能になることにより、オフセット電圧の調整が常に可能になる。

【0020】本発明の請求項3に係わる半導体集積回路装置は、請求項1又は2に記載の半導体集積回路装置において、前記反転入力と前記非反転入力とを短絡するスイッチ(S2)を含むことを特徴とする。

【0021】請求項3に記載の半導体集積回路装置によれば、反転入力と非反転入力とが等しいときにオフセット電圧が0となるように調整できることにより、オフセット電圧の無い理想的なオペアンプとして使用することができる。

【0022】本発明の請求項4に係わる半導体集積回路装置は、請求項1又は2に記載の半導体集積回路装置において、前記オペアンプの出力を基準電位に接続するス

イッチ(S4)と、前記オペアンプの出力を基準電位として使用する他の半導体集積回路(401)の出力または基準電位を選択的に前記非反転入力に供給するスイッチ(S3)と、を含み、前記反転入力と前記オペアンプの出力とを短絡してボルテージフォロア構成とする、ことを特徴とする。

【0023】請求項4に記載の半導体集積回路装置によれば、オフセット電圧の調整が可能なオペアンプの出力を他の半導体集積回路の基準電位として使用することにより、一つのオフセット電圧調整回路を用いてオフセット電圧をキャンセルしたい回路系全体のオフセット電圧をキャンセルすることができる。

## 【0024】

【発明の実施の形態】以下、本発明の実施の形態を、図面を参照して説明する。

(実施の形態1) 図1は本発明の実施の形態1に係わる半導体集積回路装置の構成を示す回路図である。図1において、101、102は、それぞれカレントミラーを構成するPチャネルCMOSトランジスタP1、P2であり、103、104、105は、差動増幅回路を構成するNチャネルCMOSトランジスタN1、N2、N3であり、106は出力駆動部を構成するPチャネルCMOSトランジスタP3であり、107は同じく出力駆動部を構成するNチャネルCMOSトランジスタN4である。以上のトランジスタにより、反転入力VINをトランジスタN1のゲートに、非反転入力VIPをトランジスタN2のゲートにそれぞれ入力し、出力駆動部から出力VOUを得る周知の差動増幅回路が構成される。

【0025】さらに、108は、トランジスタ103の基板端子とソース端子の間に接続され、トランジスタ103の基板電位のレベル保持手段として用いられる容量C1であり、109はオペアンプの出力をレベル保持手段108または外部出力VOUに接続するスイッチS1である。

【0026】本発明のオフセット電圧調整回路の動作を説明する。まず、VINとVIPを等しくして、スイッチS1によりオペアンプの出力をレベル保持手段C1とトランジスタN1の基板端子に接続する。ここで、P1-N1の系とP2-N2の系が同特性であると仮定する。仮にN1の基板電位がN2の基板電位より低い場合には、N1のしきい値電圧VTが高くなり、N1の電流能力が低くなる。この状態は反転入力VINに非反転入力VIPより低い電圧を与えた状態と同じである。すなわち出力駆動部の出力電圧は高くなり、これがスイッチS1を経由してN1の基板電位を高くするようにフィードバックされる。

【0027】逆に、仮にN1の基板電位がN2の基板電位より高い場合には、同様の作用により、N1の基板電位を低くするようにフィードバックされる。以上の結果、N1の基板電位はN2の基板電位と一致した状態で

安定する。この動作は、 $V_{IN}$ と $V_{IP}$ が等しいときに、差動増幅回路の $P1-N1$ の系と $P2-N2$ の系が同一特性になるように $N1$ の基板電位が調整されることを意味する。

【0028】実際には、 $P1-N1$ の系と $P2-N2$ の系は製造ばらつき等により同一特性とはならない。 $N1$ が $N2$ より電流能力が高い場合は、反転入力 $V_{IN}$ に非反転入力 $V_{IP}$ より高い電圧を与えた状態と同じである。すなわち出力駆動部の出力電圧は低くなり、 $N1$ の基板電位が低くなる。 $N1$ の基板電位が $N2$ の基板電位より低いと、前述したフィードバック作用により $N1$ のしきい値電圧 $V_T$ が高くなり、その結果 $N1$ の電流能力が低くなる。

【0029】逆に、 $N1$ が $N2$ より電流能力が低い場合には、同様にフィードバックの働きにより $N1$ の電流能力が高くなるように作用する。以上の結果、 $N1$ と $N2$ の電流能力が同一となる状態で安定する。すなわち、 $V_{IN}$ と $V_{IP}$ が等しい条件下で、差動増幅回路の $P1-N1$ の系と $P2-N2$ の系が同一特性になるように $N1$ の基板電位が調整されることを意味する。

【0030】さらに、 $P1$ が $P2$ より電流能力が低い場合には、 $P1$ のドレイン電圧が $P2$ のドレイン電圧より低くなる。すなわち、 $N1$ のドレイン電圧が $N2$ のドレイン電圧より低い状態である。この状態は反転入力 $V_{IN}$ に非反転入力 $V_{IP}$ より高い電圧を与えた状態と同じである。すなわち出力駆動部の出力電圧は低くなり、 $N1$ の基板電位が低くなる。 $N1$ の基板電位が $N2$ の基板電位より低いと、前述したフィードバック作用により $N1$ の $V_T$ が高くなり、 $N1$ の電流能力が低くなる。 $N1$ の電流能力が低くなると、 $N1$ のドレイン電圧すなわち

$P1$ のドレイン電圧が高くなる。

【0031】逆に、 $P1$ が $P2$ より電流能力が高い場合には、 $N1$ のドレイン電圧が $N2$ のドレイン電圧より高くなるが、同様にフィードバックの働きにより $N1$ のドレイン電圧が低くなるように作用する。以上の結果、 $P1$ と $P2$ の電流能力の差が補償される。これも、やはり、 $V_{IN}$ と $V_{IP}$ が等しい条件下で、差動増幅回路の $P1-N1$ の系と $P2-N2$ の系が同一特性になるように $N1$ の基板電位が調整されることを意味する。

【0032】以上の説明においては、 $V_{IN}$ と $V_{IP}$ を等しくして $S1$ を操作しているので、 $V_{IN}=V_{IP}$ のときにオフセット電圧が0となるように調整される。

【0033】ここで、 $V_{IN}=V_{IP}+\alpha$ となるように設定して $S1$ を操作すると、 $V_{IN}=V_{IP}+\alpha$ の条件下で差動増幅回路の $P1-N1$ の系と $P2-N2$ の系が同一特性になるように $N1$ の基板電位が調整される。すなわち、 $V_{IN}=V_{IP}+\alpha$ のときにオフセット電圧が0となるようにすることができる。

【0034】この調整を行った状態で $V_{IN}$ と $V_{IP}$ を等しくすると、 $V_{IN}$ が $\alpha$ 分だけ低いと判定され、オベ

アンプ出力は $+\alpha$ を発生する。すなわち、 $+\alpha$ 分のオフセット電圧を持たせることができる。このように反転入力端子 $V_{IN}$ と非反転入力端子 $V_{IP}$ を調整することにより任意のオフセット量を得ることができる。

【0035】前記の調整過程において問題となる点は、 $N1$ の基板電位を調整できる範囲が $V_{SS}$ と $N1$ のソース電圧の間であるので、調整が可能なのは $N1$ の $V_T$ が高くなる方向、すなわち電流能力が小さくなる方向に限られることである。通常、 $P1-N1$ の系と $P2-N2$ の系の特性が同一になるように設計するので、ばらつきにより $N1$ と $N2$ の内、どちらのトランジスタの電流能力が大きくなるかは分からない。

【0036】そこで $N1$ と $N2$ を同一特性に設計せず、 $N1$ が $N2$ より大きなサイズになるように設計することで、必ず $N1$ の電流能力が $N2$ より大きくなるようにすることができる。その結果、常に $N1$ の電流能力を下げる方向で調整が行えるようになるため、本発明の方法によるオフセット調整が必ず実施できるようになる。このようにして、 $N1$ の特性を $N2$ の特性に合わせこむように調整することにより、上述したオフセット電圧の調整が可能なオペアンプが得られる。

【0037】以上説明したように、本実施の形態1の半導体集積回路によれば、オペアンプの反転入力端子及び非反転入力端子の使用を制限することなく、オフセット電圧を任意に調整することができる。

【0038】図2は本発明の実施の形態1に係わる半導体集積回路装置の他の構成を示す回路図である。図2において、201、202は、それぞれカレントミラーを構成するNチャネルCMOSトランジスタ $N1$ 、 $N2$ であり、203、204、205は、差動増幅回路を構成するPチャネルCMOSトランジスタ $P1$ 、 $P2$ 、 $P3$ であり、206は出力駆動部を構成するNチャネルCMOSトランジスタ $N3$ であり、207は同じく出力駆動部を構成するPチャネルCMOSトランジスタ $P4$ である。以上のトランジスタにより、反転入力 $V_{IN}$ をトランジスタ $P1$ のゲートに、非反転入力 $V_{IP}$ をトランジスタ $P2$ のゲートにそれぞれ入力し、出力駆動部から出力 $V_{OUT}$ を得る周知の差動増幅回路が構成される。

【0039】さらに、208は、トランジスタ203の基板端子とソース端子の間に接続され、トランジスタ203の基板電位のレベル保持手段として用いられる容量 $C1$ であり、209はオペアンプの出力をレベル保持手段208、あるいは外部出力 $V_{OUT}$ に接続するスイッチ $S1$ である。

【0040】図2に示す半導体集積回路装置は、図1においてNチャネルCMOSトランジスタとPチャネルCMOSトランジスタとを入れ替えた構成であり、その動作原理及び効果は前記実施の形態1の説明と同じである。

【0041】(実施の形態2) 図3は本発明の実施の形

態 2 に係わる半導体集積回路装置の構成を示す回路図である。図 3 において、300 は前記実施の形態 1 に説明したオフセット電圧調整機能を備えたオペアンプ、301 はオペアンプ 300 の反転入力  $V_{IN}$  と非反転入力  $V_{IP}$  を短絡するスイッチ  $S2$  である。

【0042】本実施の形態 2 は、オフセット電圧調整機能を利用して理想オペアンプとして使用する方法を示すものである。非反転入力  $V_{IP}$  に基準電位を与え、先ず、 $S2$  により  $V_{IN}$  と  $V_{IP}$  を短絡する。この状態でオフセット電圧調整を行い、オフセット電圧をキャンセルする。その結果、オペアンプ 300 は  $V_{IN}=V_{IP}$  でオフセット電圧が 0 となる理想的なオペアンプとなる。その後、 $S2$  を切り替えて  $V_{IN}$  を外部入力  $INP_{UT}$  と接続し、通常のオペアンプとして使用する。

【0043】このように、本実施の形態の半導体集積回路装置によれば、オフセット電圧の無い理想状態のオペアンプが使用できる。

【0044】(実施の形態 3) 図 4 は本発明の実施の形態 3 に係わる半導体集積回路装置の構成を示す回路図である。本実施の形態 3 は、オフセット機能を備えたオペアンプを基準電位発生回路として利用し、オフセット電圧をキャンセルする対象となる系全体のオフセットキャンセルを行うものである。

【0045】図 4 において、400 は前記実施の形態 1 に説明したオフセット電圧調整機能を備えたオペアンプ、401 はオフセット電圧をキャンセルする対象となる系全体、402 はオペアンプ 400 の非反転入力  $V_{IP}$  の接続先として基準電圧または前記の系 401 の出力を選択するスイッチ  $S3$ 、403 はオペアンプの出力を基準電位に接続するスイッチ  $S4$  である。オフセット電圧調整機能を備えたオペアンプ 400 の出力は  $V_{IN}$  にフィードバックしてボルテージフォロア構成にする。その出力を、オフセット電圧をキャンセルする対象の系 401 の基準電位として使用する。

【0046】この構成の動作を説明する。先ず、 $S3$  を、オフセット電圧をキャンセルする対象の系 401 の出力に接続し、 $S4$  を本来の基準電位に接続する。この状態で、オフセット電圧をキャンセルする対象の系 401 を本来の基準電位で動作させ、オフセット電圧を出力させる。この 401 が出力するオフセット電圧を  $V_{IP}$  に入力し、オペアンプ 400 のオフセット電圧調整機能を動作させる。ここで  $V_{IN}$  は本来の基準電位となっているので、オペアンプ 400 は  $V_{IN}=\text{基準電位}$  で  $V_{IP}=\text{基準電位}+\text{オフセット電圧}$  となるように、すなわち  $V_{IP}=V_{IN}+\text{オフセット電圧}$  となるように調整され

る。

【0047】次に、 $S3$  を本来の基準電位と接続し、 $S4$  を本来の基準電位と切り離す。オペアンプ 400 の調整結果による  $V_{IP}=V_{IN}+\text{オフセット電圧}$  の関係から、 $V_{IN}=V_{IP}-\text{オフセット電圧}$  となり、 $V_{IP}$  は基準電位となっていることから、出力は本来の基準電位からオフセット分を差し引いた電圧となる。これを、オフセット電圧をキャンセルする対象の系 401 の基準電位として使用すればオフセット電圧がキャンセルされる。

【0048】このように、本実施の形態 3 の半導体集積回路装置によれば、一つのオフセット電圧調整機能を備えたオペアンプを利用して、オフセット電圧をキャンセルする対象の系全体についてオフセット電圧をキャンセルすることができる。

【0049】

【発明の効果】以上説明したように、本発明によれば、オペアンプの反転入力を受けるトランジスタの基板電位を調整する方法によりオフセット電圧をキャンセルするため、反転入力及び非反転入力に対する特別な装置を必要とせず、オペアンプのオフセット電圧のキャンセルを行うことができる。

【0050】さらに、反転入力及び非反転入力の電圧条件を設定してオフセット電圧が 0 の条件を作り出すことができるので、この作用を利用することによりオフセット電圧を任意の値に調整することができる。

【図面の簡単な説明】

【図 1】本発明の実施の形態 1 に係わる半導体集積回路装置の構成図。

【図 2】本発明の実施の形態 1 に係わる半導体集積回路装置の他の構成図。

【図 3】本発明の実施の形態 2 に係わる半導体集積回路装置の構成図。

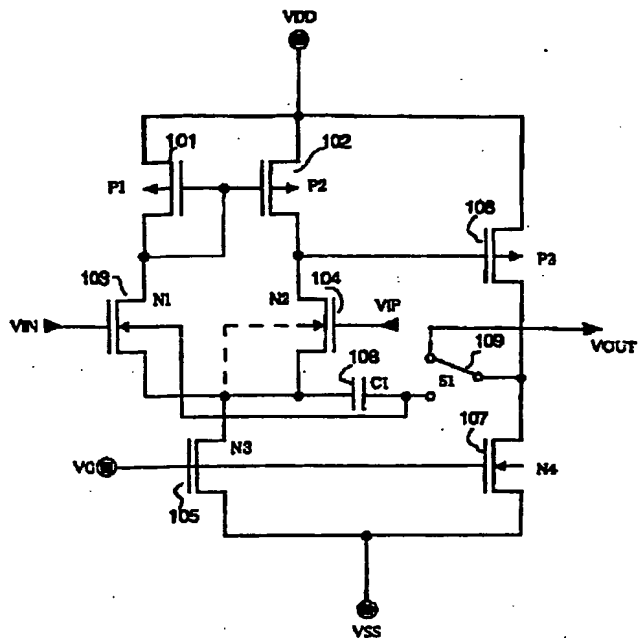
【図 4】本発明の実施の形態 3 に係わる半導体集積回路装置の構成図。

【図 5】従来のオフセット電圧調整回路の構成図。

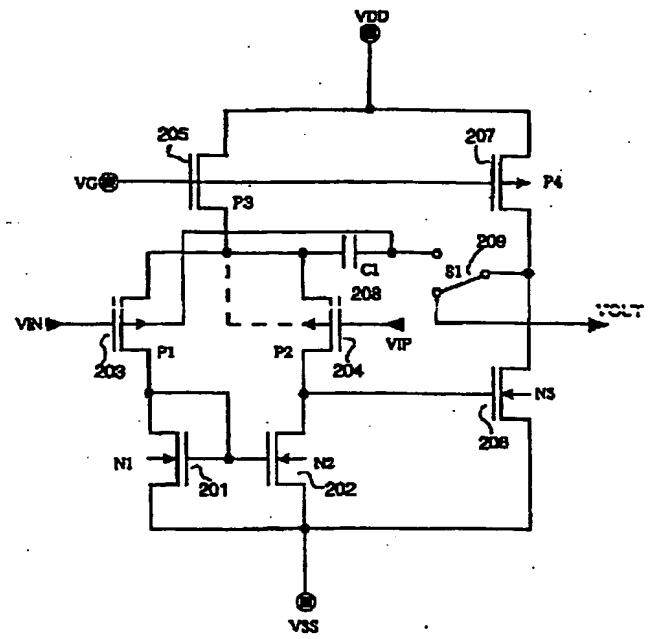
【符号の説明】

101~107、201~207 トランジスタ  
108、208 容量  
109、209 スイッチ  
300、400 オフセット電圧調整機能を備えたオペアンプ  
401 オフセット電圧をキャンセルする対象の系  
301、402、403 スイッチ

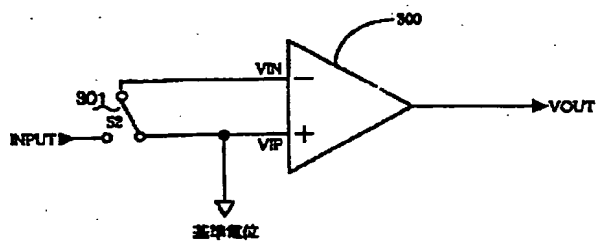
【図 1】



【図 2】



【図 3】



【図 4】



The circuit diagram shows a differential amplifier configuration. The input signal INP(UTB) is connected to node S1, which branches to gate N1 and gate P1. Node S1 is also labeled as "基球电位". Gate N1 is connected to source N3, which is tied to VSS through capacitor C1 and resistor R505. Gate P1 is connected to source P2, which is tied to VDD through resistor R502. The drains of N1 and P1 are connected to gates N2 and P2 respectively. Gate N2 is connected to source N4, which is tied to VSS through resistor R507. Gate P2 is connected to source P3, which is tied to VDD through resistor R508. The output VCUT is taken from node S2, which is the common drain connection of transistors N2 and P2. A feedback path is shown from the output VCUT through switch S2 to gate N2.

Fターム(参考) 5J066 AA01 AA12 CA13 FA17 HA10  
HA29 HA38 KA06 KA09 KA48  
MA05 MA11 MA22 ND01 ND12  
ND22 ND23 PD01 TA01  
5J091 AA01 AA12 CA13 FA17 HA10  
HA29 HA38 KA06 KA09 KA48  
MA05 MA11 MA22 TA01